

Verfahren zur Übernahme von Bildsignalen in einen Speicher und hierzu geeignete Schaltungsanordnung

- 5 Die Erfindung betrifft ein Verfahren zur zeilenweisen Übernahme analoger Bildsignale einer CCD-Kamera in den Speicher (RAM) einer mit einem digitalen Signalprozessor (DSP) arbeitenden elektronischen Einheit zur Bildverarbeitung, bei welcher die Digitalisierung der Bilddaten mittels eines Videoprozessors (VIP) erfolgt. Weiterhin betrifft die Erfindung eine zur Durchführung des Verfahrens einsetzbare
- 10 Schaltungsanordnung zur Taktumschaltung, mit deren Hilfe der Systemtakt eines DSP oder eines Mikroprozessors (CPU) auf die abweichende Taktfrequenz eines zur Taktversorgung anderer Schaltungsteile dienenden Taktsignals synchronisiert umgeschaltet werden kann.
- 15 Es sind verschiedene Möglichkeiten bekannt geworden, die Videosignale einer CCD-Kamera zu digitalisieren und zu ihrer weiteren Verarbeitung in rechnerinterne Speichereinheiten zu überführen. In vielen Fällen erfolgt die Übergabe der Bilddaten an den Speicher der Bildverarbeitungseinheit mittels analoger Abtast-IC's, die durch entsprechende Hardware auf die Synchronsignale des BAS-Signals abgestimmt sind. Dies
- 20 erfordert jedoch im allgemeinen einen vergleichsweise hohen Schaltungsaufwand. Eine andere Lösung besteht in der Verwendung eines VIP. Damit ist der Vorteil verbunden, daß der VIP je nach Typ meist über IIC-Schnittstellen programmierbar und dadurch in weiten Standards einsetzbar ist. Zudem ist es vorteilhaft, daß VIP's über Chipselekt-Signale ansprechbar sind. Jedoch tritt bei derartigen Lösungen das Problem
- 25 auf, daß der VIP im allgemeinen eine eigene Taktversorgung besitzt und dabei mit einem von der Taktfrequenz des DSP abweichenden Takt getaktet wird. Zudem ist der Takt des VIP in der Regel hinsichtlich seiner Phasenlage gegenüber dem Systemtakt des DSP verschoben. Dies ist teilweise auch auf die Bildung von PLL-Schleifen in der Beschaltung des VIP zurückzuführen. Um die Zeitregime des DSP und des VIP in einem
- 30 Bildverarbeitungssystem aufeinander abzustimmen, ist es daher erforderlich, die vom VIP bereitgestellten digitalen Daten in einem Pufferspeicher zwischenspeichern auf welchen auch der DSP Zugriff hat. Hierzu bedient man sich in der Praxis beispielsweise

First-In/First-Out-Speichern (FIFO). Die FIFO's können über entsprechende Soft- bzw. Hardwarelösungen angesteuert werden. Aufgrund der relativ umfangreichen Anzahl der hierfür benötigten Steuersignale und deren Handling sind jedoch für Schaltungen im Frequenzbereich von 50 MHz oder darüber sehr aufwendige Entwicklungswerkzeuge erforderlich, so daß der entstehende Aufwand für reine Kommunikationslösungen nicht zu rechtfertigen ist.

Die Verwendung von FIFO's zur Kopplung voneinander frequenzunabhängiger Systeme ist beispielsweise in der DE 41 04 644 A1 offenbart. Weiterhin ist aus der DE 40 12 205 A1 eine Vorrichtung zur Eingabe von Bildsignalen in einen Bildspeicher bekannt, welche die von einem Videorekorder stammenden, einem zeitlich schwankenden Signalfluß unterliegenden Bildsignale zum Einschreiben in einen Bildspeicher zunächst in einem Pufferspeicher zwischenspeichert.

Durch die US 5,163,146 wird eine Schaltungsanordnung zur Umschaltung des Taktes für einen Mikroprozessor offenbart, welche es ermöglicht, den Prozessor mit unterschiedlichen Taktraten zu takten. Die Schaltung dient dazu den Takt für den Prozessor gegebenenfalls, sofern dies für den Datenaustausch mit langsameren Systemkomponenten, beispielsweise Ein- und Ausgabebausteinen erforderlich ist, durch Umschaltung auf eine niedrigere Taktrate abzusenken. Dabei erfolgt das Umschalten auf den niedrigeren Takt durch Auslösung eines Interrupt. Das komplette mit einer solchen Schaltungsanordnung ausgestattete System arbeitet folglich jeweils mit einem Takt, der zwischen unterschiedlichen Taktraten für das Gesamtsystem variiert wird. Für Synchronisationsprobleme, wie sie beim Vorhandensein eines etwaigen zweiten, hinsichtlich der Taktrate abweichenden Taktes im gleichen System gegeben sind, ist der in der Schrift dargestellten Schaltung keine Lösung zu entnehmen.

Die US 5,197,126 beschreibt eine Schaltungsanordnung mit welcher die Taktfrequenz eines Grafikprozessors auf die Taktfrequenz eines Host-Rechners umgeschaltet werden kann. Schaltungstechnisch bedingt erfolgt die Umschaltung zwischen den beiden Taktfrequenzen jeweils unter Einschub einer Totzeit in das Taktschema. Dies ist jedoch als kritisch anzusehen, da eine solche Totzeit im Grunde eine Unterbrechung der Taktversorgung darstellt, was in vielen prozessorgesteuerten Systemen zu einem Absturz des Systems führen kann. Die in der Druckschrift dargestellte Lösung ist auch insoweit auf

ein mit einem Videoprozessor arbeitendes System nicht übertragbar, als sie davon ausgeht, daß sowohl der Grafikprozessor als auch der Hostcomputer – der Hostcomputer in einem DMA-Mode - direkt auf den Speicher zugreifen können. Hingegen ist ein Videoprozessor weder DMA-fähig, noch kann er bestimmte Speicherbereiche unmittelbar selbst adressieren.

Der Erfindung liegt die Aufgabe zugrunde, ein Verfahren anzugeben, welches die zeilenweise Übernahme analoger Bildsignale in den Speicher einer Bildverarbeitungseinheit bei gleichzeitig gegenüber bisher bekannten Lösungen verringertem Schaltungsaufwand ermöglicht. Weiterhin besteht die Aufgabe der Erfindung darin, eine zur Durchführung des Verfahrens geeignete Schaltungsanordnung zu schaffen.

Erfindungsgemäß wird die Aufgabe durch ein Verfahren mit den aus dem Hauptanspruch entnehmbaren Merkmalen gelöst. Vorteilhafte Ausgestaltungen des Verfahrens sind durch die Unteransprüche gegeben. Die zur Taktumschaltung verwendbare erfindungsgemäße Schaltungsanordnung ist durch die Merkmale des Patentanspruchs 3 beschrieben. Zur Schaltungsanordnung sind ebenfalls vorteilhafte Ausgestaltungen durch die auf den genannten Anspruch rückbezogenen Unteransprüche gegeben.

Das erfindungsgemäße Verfahren, bei welchem die zeilenweise Übernahme der analogen Bildsignale einer CCD-Kamera in den RAM der Bildverarbeitungseinheit mittels eines DSP erfolgt, ist dadurch charakterisiert, daß der DSP während der Übernahme der vom VIP gelieferten digitalen Bilddaten in den RAM auf die Taktfrequenz der Taktversorgung für den VIP umgeschaltet wird und die von dem VIP bereitgestellten Daten unter Fortfall einer Zwischenspeicherung unmittelbar über den Datenbus in den RAM übertragen werden.

Gemäß der Erfindung wird dies dadurch erreicht, daß die Umschaltung des DSP erfolgt, indem durch das Bildsynchron-Signal am DSP ein Interrupt ausgelöst wird und die daraufhin zur Übernahme der Daten abgearbeitete Interruptroutine zumindest nachfolgende Verfahrensschritte umfaßt:

- a) Umschalten des Systemtaktes des DSP auf den Takt des VIP, aufgrund des Wirk-
- samwerdens des ausgegebenen Interruptfreigabe-Signals an einer der Umschaltung
- der Taktfrequenz dienenden Logikeinheit,
- b) Ausgeben einer RAM-Adresse zur Erzeugung eines Chipselect-Signals zum
- 5 Ansprechen einer Speicheradresse im Adressraum des VIP,
- c) Generieren und Ausgabe eines READ-Signals durch den DSP,
- d) Inkrementieren der zuletzt ausgegebenen RAM-Adresse durch den DSP, jeweils nach
- der Übertragung der ein Pixel des Bildes charakterisierenden Bilddaten in den RAM.

Dabei ist es erfindungswesentlich, daß das vom DSP ausgegebene READ-Signal am

10 RAM infolge einer Invertierung als WRITE-Signal wirksam wird. Dies hat zur Folge, daß

die am VIP anstehenden Bilddaten aufgrund des READ-Signals über den Datenbus

gelesen und in den mit dem WRITE-Signal beaufschlagten RAM unmittelbar

eingeschrieben werden.

Es ist im Sinne des erfindungsgemäßen Verfahrens, daß der DSP während der

15 Zeilenaustastlücke mit dem von der Taktfrequenz her geringeren Takt des VIP's

weiterarbeitet, aber nach dem Einlesen eines von der CCD-Kamera nach dem

Zeilensprungverfahren übertragenen Halbbildes durch Rücksetzen des Interruptfreigabe-

Signals auf seinen ursprünglichen Systemtakt zurückgeschaltet wird.

Eine zur Durchführung des vorgestellten Verfahrens geeignete Schaltungsanordnung

20 umfaßt neben dem DSP und dem RAM zumindest einen Videoprozessor (VIP) zur

Digitalisierung der Bilddaten, eine Schreib-Lese-Steuerung für den RAM, eine erste

Taktversorgung für den DSP, eine zweite Taktversorgung mit einer gegenüber der ersten

Taktversorgung niedrigeren Taktrate für den VIP und den DSP, einen Datenbus sowie

eine Logikeinheit zur Taktumschaltung. Der Einheit zur Taktumschaltung werde die

25 Taktsignale der ersten und der zweiten Taktversorgung sowie der Bildpixeltakt des VIP

und ein Interruptfreigabe-Signal des DSP zugeführt. Dadurch, daß die Logikeinheit zur

Taktumschaltung jeweils bei gleicher Pegellage der ihr zugeführten Taktsignale den

aktuellen Pegel des Interruptfreigabe-Signals übernimmt und entsprechend diesem Pegel

das Taktsignal der ersten oder zweiten Taktversorgung zur Taktung des DSP

30 durchschaltet, ist der DSP über diese Logikeinheit wechselnd mit der ersten oder der

zweiten Taktversorgung gekoppelt. Während der Übernahme von Bilddaten in den RAM

wird dabei das Taktsignal der auch den VIP taktenden Taktversorgung mit der

niedrigeren Taktrate auf den DSP durchgeschaltet. Gleichzeitig werden vom DSP ausgegebene READ-Signale infolge einer vorhergehenden Invertierung in der Schreib-Lese-Steuerung am RAM als WRITE-Signale wirksam.

Entsprechend einer möglichen Ausgestaltung der erfindungsgemäßen Schaltungsanordnung erfolgt die Taktversorgung des DSP über den Ausgang einer Taktweiche der Logikeinheit zur Taktumschaltung. Der Taktweiche werden über einen ersten Eingang das erste Taktsignal und über einen zweiten Eingang das zweite Taktsignal zugeführt wird. Über einen weiteren Eingang ist die Taktweiche mit dem Ausgang eines Flipflops verbunden. Das Flipflop ist an seinem D-Eingang mit dem vom DSP nach einem durch das Bild-Synchronsignal ausgelösten Interrupt ausgegebenen Interruptfreigabe-Signal beschaltet. Sein Takteingang ist mit dem Ausgang eines die Taktsignale der ersten und der zweiten Taktversorgung sowie den Bildpixeltakt des VIP miteinander UND-verknüpfenden Gatters verbunden.

Das Setzen des Flipflops und die damit verbundene Taktumschaltung erfolgt durch die mittels des Takteingangs flankengesteuerte Übernahme des auf den D-Eingang des Flipflops geschalteten Interruptfreigabe-Signals, das vom DSP nach einem durch das Bildsynchron-Signal ausgelösten Interrupts ausgegeben wird und sonach erst dann, wenn der Pegel am Ausgang des vor dem Takteingang des Flipflops liegenden Gatters infolge der UND-Verknüpfung der drei Taktsignale (Pixeltakt VIP, Systemtakt VIP und schneller Systemtakt DSP) beispielsweise von L auf H übergeht.

Die Schaltungsanordnung ist vorteilhaft ausgestaltet, wenn im Eingangsbereich der Taktweiche eine Gatterschaltung vorgesehen ist, mittels welcher einerseits eine UND-Verknüpfung des Taktsignals für den VIP mit dem Ausgangssignal des Flipflops und andererseits eine UND-Verknüpfung des höheren, den DSP während der eigentlichen Bildverarbeitung taktenden Taktsignals mit dem invertierten Ausgangssignal des Flipflops erfolgt. Gleichzeitig ist bei dieser Ausgestaltung der erfindungsgemäßen Schaltungsanordnung im Ausgangsbereich der Taktweiche eine Gatterschaltung zur ODER-Verknüpfung der Ausgangssignale der im Eingangsbereich der Taktweiche angeordneten Gatterschaltung vorgesehen.

Die beschriebene Schaltungsanordnung ermöglicht durch die UND-Verknüpfung der drei Taktsignale vor ihrer Zuführung zum Takteingang des Flipflops ein synchronisiertes Umschalten des DSP auf den niedrigeren Takt des VIP. Allerdings besteht die Gefahr,

daß der resultierende dem DSP zuzuführende Ausgangstakt durch in der Schaltungsanordnung auftretende Gatterverzögerungszeiten gegenüber dem Taktsignal des VIP in unerwünschter Weise eine Phasenverschiebung erleidet. Zum Ausgleich der Gatterverzögerungszeiten bzw. der auftretenden Phasenverschiebung ist daher die im
5 Eingangsbereich der Taktweiche vorgesehene Gatterschaltung gemäß einer vorteilhaften Weiterbildung der Erfindung so ausgebildet, daß die der Taktweiche zugeführten Taktsignale vor ihrer UND-Verknüpfung mit dem Ausgangssignal bzw. mit dem invertierten Ausgangssignal des Flipflops zunächst selbst einer Invertierung unterzogen werden und die zur ODER-Verknüpfung der Ausgangssignale des
10 Taktweicheneingangsbereichs vorgesehene Gatterschaltung zur Realisierung der ODER-Funktion als ein NOR-Gatter mit nachgeschaltetem Inverter ausgebildet ist.

Zum beschleunigten Zurückschalten auf das den DSP oder die CPU ursprünglich taktenden ersten Taktsignals ist gemäß einer weiteren vorteilhaften Ausgestaltung der erfindungsgemäßen Schaltungsanordnung ein RESET-Eingang des Flipflops mit dem D-
15 Eingang des Flipflops verbunden. Je nachdem, ob der RESET-Eingang des Flipflops L- oder H-Aktiv wirkt, ist es außerdem erforderlich, in die Verbindung zwischen D-Eingang und Takteingang ein invertierendes Gatter einzuordnen. Dies ist insbesondere dann notwendig, wenn der ein RESET des Flipflops bewirkende Pegel komplementär zu dem Ausgangspegel des Flipflops ist, der die vorübergehende Umschaltung des DSP auf den
20 langsameren Takt bewirkt.

Nachfolgend soll die Erfindung an Hand eines Ausführungsbeispiels näher erläutert werden. In der zugehörigen Zeichnung sind im einzelnen dargestellt:

Fig. 1 Die Logikeinheit zur vorübergehenden Umschaltung des Systemtaktes des DSP
25 auf den Takt des VIP.

Fig. 2 Ein Blockschaltbild der erfindungsgemäßen Schaltungsanordnung unter Einbeziehung der Schaltungsanordnung zur Taktumschaltung gemäß Fig. 1.

In der Fig. 1 ist eine mögliche Ausführung einer Logikeinheit 100 zur Taktumschaltung
30 dargestellt, mit welcher der während der Bildverarbeitung hohe Systemtakt (Verarbeitungstakt) eines DSP 50 vorübergehend und synchronisiert auf den niedrigeren Takt eines VIP 60 umgeschaltet werden kann. Wie aus der Schaltung ersichtlich, erfolgt

die Taktversorgung des DSP 50 entsprechend der Erfindung über die Taktweiche 1. Die Taktweiche 1 verfügt über drei Eingänge 11, 12, 13, wobei einem ersten Eingang 11 der quarzstabilisierte Takt zur Taktung des DSP 50 während der Bildverarbeitung, einem weiteren Eingang 12 der Takt des VIP 60 und einem letzten Eingang 13 das Ausgangssignal eines Flipflops 2 zugeführt werden. Der D-Eingang 21 des Flipflops 2 ist mit dem Interruptfreigabe-Signal des DSP 50 beschaltet, welches im Falle des durch das Bildsynchron-Signal am DSP 50 ausgelösten Interrupts H-Pegel führt. Dieser H-Pegel wird durch den Ausgang 24 des Flipflops 2 übernommen, sobald dessen Takteingang 22 im Ergebnis der an dem Gatter 3 UND-verknüpften Taktsignale von L- auf H-Pegel übergeht. In Folge der Umsetzung der Ausgangssignale des Flipflops 2 in der Taktweiche 1 führt der Ausgang des mit dem Takt des VIP 4 beschalteten Gatters 16 wechselweise, entsprechend dem VIP-Takt L- oder H-Pegel. Der Ausgang des anderen Gatters 15 im Eingangsbereich 15, 16 der Taktweiche 1, welchem der quarzstabilisierte höhere Takt zugeführt wird, führt hingegen, aufgrund der Beschaltung mit dem invertierten Ausgangssignal des Flipflops 2, solange, wie am Ausgang des Flipflops 2 der H-Pegel ansteht, stets L-Pegel. Über die im Ausgangsbereich 17, 18 der Taktweiche 1 vorgesehene, durch eine Reihenschaltung eines NOR-Gatters 17 mit einem Inverter 18 realisierte ODER-Verknüpfung wird in der Folge das Taktsignal des VIP 60 auf den Ausgang 14 der den DSP 50 taktenden Logikeinheit 100 durchgeschaltet. Das heißt, der DSP 50 wird so lange wie das Interruptfreigabe-Signal am D-Eingang 21 des Flipflops 2 ansteht, mit dem niedrigeren Takt des VIP 60 getaktet.

Da gemäß dem erfindungsgemäßen Verfahren außer der Bereitstellung des Interruptfreigabe-Signals durch den DSP 50 ein READ-Signal ausgegeben wird, welches dem RAM 70 in invertierter Form zugeführt wird, werden die an den Datenausgängen des VIP 60 anstehenden digitalisierten Bilddaten über den Datenbus 90 unmittelbar durch den mit dem WRITE-Signal angesprochenen RAM 70 eingelesen. Die Übernahme der Daten in den RAM 70 erfolgt demnach entsprechend dem Taktregime des VIP 60. Durch die UND-Verknüpfung des Taktes für den VIP 60 mit dessen Pixeltakt sowie mit dem höheren der Taktung des DSP 50 bei der Bildverarbeitung dienenden Takt in dem Gatter 3 wird eine hinsichtlich der Phasenlage synchronisierte Umschaltung des schnellen DSP-Taktes auf den langsameren VIP-Takt erreicht.

Wie aus der Logikeinheit 100 weiterhin ersichtlich ist, werden zur Wahrung der im Umschaltmoment bestehenden Synchronität von VIP- und DSP-Takt Maßnahmen ergriffen, durch welche in der Schaltung 100 auftretende Gatterverzögerungszeiten ausgeglichen werden. Dies geschieht zum einen dadurch, daß der Takt des VIP 60 und
5 der höhere Verarbeitungstakt an den entsprechenden Eingängen 11, 12 der Taktweiche 1 zunächst hinsichtlich ihrer Phasenlage invertiert werden. Außerdem erfolgt die im Ausgangsbereich 17, 18 der Taktweiche erforderliche ODER-Verknüpfung der in ihrem Eingangsbereich 15, 16 gebildeten Signale mittels eines NOR-Gatters 17 und eines diesem nachgeschalteten Inverters 18. Auf diese Weise wird erreicht, daß der jeweils auf
10 den Ausgang 14 der Logikeinheit 100 durchgeschaltete Takt stets phasengleich mit dem Takt des VIP 60 ist.

Durch die Fig. 2 ist die gesamte Schaltungsanordnung, mit welcher das erfindungsgemäße Verfahren unter Einbeziehung der Logikeinheit 100 zur Taktumschaltung realisiert werden kann, nochmals in der Übersicht dargestellt. Der
15 Logikeinheit 100 zur Taktumschaltung werden, wie ersichtlich, drei Taktsignale zugeführt. Dies ist zum einen der hohe für die Bildverarbeitung verwendete Takt, beispielsweise 50 MHz, im weiteren der den VIP 60 taktende Takt, zum Beispiel 24,576 MHz, sowie der Pixel-Takt des VIP 60 (SYN-VIP). Außerdem ist wie ersichtlich, eine Interruptfreigabe-Leitung vom DSP 50 zur Schaltungsanordnung 100 für die
20 Taktumschaltung (ISP) geführt. Der DSP 50 seinerseits wird über diese Logikeinheit 100 mit dem jeweils benötigten Takt versorgt. Dies ist bei der Verarbeitung von Bilddaten bzw. solange keine Bilddaten eingelesen werden müssen, also beispielsweise auch innerhalb der Bildaustastlücke zwischen zwei Halbbildern, der höhere 50 MHz-Takt und während der Übernahme von Bilddaten aus dem VIP 60 in den RAM 70 der niedrigere
25 VIP-Takt. Zwar ist es denkbar, den DSP 50 auch während des Zeilenaustastsignals auf den höheren Takt zurückzuschalten, jedoch ist dies wegen des damit verbundenen höheren Schaltungsaufwandes weniger sinnvoll.

Wie ersichtlich, ist der DSP 50 mit dem RAM 70 über eine Schreib-Lese-Steuerung 80 verbunden. Durch diese wird unter anderem gewährleistet, daß die jeweils richtige
30 physikalische RAM-Adresse angesprochen und außerdem die Umformung des READ-Signals in das WRITE-Signal während der Übernahme von Daten aus dem VIP 60 bewerkstelligt. Hinsichtlich der zum Schreiben oder Lesen jeweils anzusprechenden

physikalischen Adresse des RAM 70 sorgt die Schreib-Lese-Steuerung 80 dafür, daß diese Adresse jeweils mit der durch den DSP 50 bzw. den VIP 60 zugeordneten logischen Adresse korrespondiert. Dies ist insoweit erforderlich als die beiden Prozessoren 50, 60 in logisch unterschiedlichen Adressräumen arbeiten.

5

Liste der verwendeten Bezugszeichen

10 Taktweiche

- | | | |
|----|----|---|
| | 11 | Eingang Taktweiche für erstes Taktsignal |
| 10 | 12 | Eingang Taktweiche für zweites Taktsignal (VIP-Takt) |
| | 13 | Eingang Taktweiche |
| | 14 | Ausgang Taktweiche |
| | 15 | Gatter im Eingangsbereich der Taktweiche |
| | 16 | Gatter im Eingangsbereich der Taktweiche |
| 15 | 17 | Gatter im Ausgangsbereich der Taktweiche - NOR-Gatter |
| | 18 | Gatter im Ausgangsbereich der Taktweiche - Inverter |

20 Flipflop

- | | | |
|----|----|------------------------|
| | 21 | D-Eingang Flipflop |
| 20 | 22 | Takteingang Flipflop |
| | 23 | RESET-Eingang Flipflop |
| | 24 | Ausgang Flipflop |

30 Gatter

- | | | |
|----|----|--|
| 25 | 31 | Eingang Gatter für erstes Taktsignal |
| | 32 | Eingang Gatter für zweites Taktsignal (VIP-Takt) |
| | 33 | Eingang Gatter für Pixeltakt von VIP |
| | 34 | Ausgang Gatter |

- | | | |
|----|----|----------|
| 30 | 40 | Inverter |
| | 50 | DSP |
| | 60 | VIP |

- 70 RAM
- 80 Schreib-Lese-Steuerung
- 90 Datenbus
- 100 Logikeinheit (Schaltungsanordnung) zur Taktumschaltung

Patentansprüche

- 5 1. Verfahren zur zeilenweisen Übernahme analoger Bildsignale einer CCD-Kamera in einen Speicher (RAM) einer mit einem digitalen Signalprozessor (DSP) arbeitenden elektronischen Einheit zur Bildverarbeitung, bei der die Digitalisierung der Bilddaten mittels eines Videoprocessors (VIP) erfolgt, umfassend die Verfahrensschritte
 - a) Auslösen eines Interrupt am DSP durch das Bildsynchrosignal,
 - b) Anspringen einer Interruptroutine durch den DSP
 - 10 c) Ausgabe eines Interruptfreigabe-Signals vom DSP
 - d) Umschalten des Systemtaktes des DSP auf den Takt des VIP, aufgrund des Wirkamwerdens des ausgegebenen Interruptfreigabe-Signals an einer der Umschaltung der Taktfrequenz dienenden Logikeinheit,
 - e) Ausgeben einer RAM-Adresse zur Erzeugung eines Chipselect-Signals zum Ansprechen einer Speicheradresse im Adressraum des VIP,
 - 15 f) Generieren und Ausgeben eines READ-Signals durch den DSP,
 - g) Inkrementieren der zuletzt ausgegebenen RAM-Adresse durch den DSP, jeweils nach der Übertragung der ein Pixel des Bildes charakterisierenden Bilddaten in den RAM,
- 20 wobei das Interruptfreigabe-Signal an der Logikeinheit zur Taktumschaltung wirksam wird, sobald der Systemtakt des DSP, der Systemtakt des VIP sowie der Bildpixeltakt des VIP den gleichen Taktzustand aufweisen, und wobei die Verfahrensschritte c) bis g) im Zuge der Abarbeitung der im Verfahrensschritt b) aufgerufenen Interruptroutine durchgeführt werden und das vom DSP gemäß
- 25 Verfahrensschritt f) ausgegebene READ-Signal am RAM infolge einer Invertierung als WRITE-Signal wirkt, so daß die am VIP anstehenden Bilddaten aufgrund des READ-Signals über den Datenbus gelesen und in den mit dem WRITE-Signal beaufschlagten RAM unmittelbar eingeschrieben werden.
- 30 2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß der DSP innerhalb der Zeilenaustastlücke weiterhin mit dem niedrigeren Takt des VIP getaktet weitere Bearbeitungsvorgänge ausführt, während der DSP nach dem Einlesen eines von der

CCD-Kamera nach dem Zeilensprungverfahren übertragenen Halbbildes durch Rücksetzen des Interruptfreigabe-Signals auf den ursprünglichen Systemtakt zurückgeschaltet wird.

- 5 3. Schaltungsanordnung zur Übernahme analoger Bildsignale einer CCD-Kamera in einen Speicher (RAM) (70) einer mit einem digitalen Signalprozessor (DSP) (50) arbeitenden elektronischen Einheit zur Bildverarbeitung, welche neben dem DSP (50) und dem RAM (70) zumindest einen Videoprozessor (VIP) (60) zur Digitalisierung der Bilddaten, eine Schreib-Lese-Steuerung (80) für den RAM (70), eine erste Taktversorgung für den DSP (50), eine zweite Taktversorgung mit einer gegenüber der ersten Taktversorgung niedrigeren Taktrate für den VIP (60) und den DSP (50), einen Datenbus (90) sowie eine Logikeinheit (100) zur Taktumschaltung umfaßt, welcher die Taktsignale der ersten und der zweiten Taktversorgung sowie der Bildpixeltakt des VIP (60) und ein Interruptfreigabe-Signal des DSP (50) zugeführt werden, so daß
- 10 der DSP (50) über die Logikeinheit (100) zur Taktumschaltung wechselnd mit der ersten oder der zweiten Taktversorgung gekoppelt ist, indem die Logikeinheit (100) jeweils bei gleicher Pegellage der ihr zugeführten Taktsignale den aktuellen Pegel des Interruptfreigabe-Signals übernimmt und entsprechend diesem Pegel das Taktsignal der ersten oder zweiten Taktversorgung zur Taktung des DSP (50) durchschaltet, wobei während der Übernahme von Bilddaten in den RAM (70) das Taktsignal der auch den VIP (60) taktenden Taktversorgung mit der niedrigeren Taktrate zum DSP (50) durchgeschaltet ist und vom DSP (50) ausgegebene READ-Signale infolge einer vorhergehenden Invertierung in der Schreib-Lese-Steuerung (80) als WRITE-Signale am RAM (70) wirksam sind.
- 15 4. Schaltungsanordnung nach Anspruch 3, dadurch gekennzeichnet, daß die Taktversorgung des DSP (50) über den Ausgang (14) einer Taktweiche (1) der Logikeinheit (100) zur Taktumschaltung erfolgt, welcher über einen ersten Eingang (11) das erste Taktsignal und über einen zweiten Eingang (12) das zweite Taktsignal zugeführt wird und die über einen dritten Eingang (13) mit dem Ausgang (24) eines Flipflops (2) verbunden ist, welches an seinem D-Eingang (21) mit dem vom DSP (50) nach einem durch das Bild-Synchronsignal ausgelösten Inter-
- 20 25 30

rupt ausgegebenen Interruptfreigabe-Signal beschaltet und an seinem Takteingang (22) mit dem Ausgang (34) eines die Taktsignale der ersten und der zweiten Taktversorgung sowie den Bildpixeltakt des VIP (60) miteinander UND-verknüpfenden Gatters (3) verbunden ist.

5

5. Schaltungsanordnung nach Anspruch 4, dadurch gekennzeichnet, daß das Setzen des Flipflops (2) und die damit verbundene Taktumschaltung des DSP (50) auf den niedrigeren Takt des VIP (60) durch die mittels seines Takteingangs (22) flankengesteuerte Übernahme des auf den D-Eingang (21) des Flipflops (2) geschalteten Interruptfreigabe-Signals erfolgt, welches vom DSP (50) nach einem durch das Bildsynchron-Signal ausgelösten Interrupt ausgegeben wird.

10

6. Schaltungsanordnung nach Anspruch 4 oder 5, dadurch gekennzeichnet, daß im Eingangsbereich (15, 16) der Taktweiche (1) eine Gatterschaltung vorgesehen ist, mittels welcher eine UND-Verknüpfung des Taktsignals für den VIP (60) mit dem Ausgangssignal des Flipflops (2) sowie eine UND-Verknüpfung des höheren, den DSP (50) während der eigentlichen Bildverarbeitung taktenden Taktes, mit dem invertierten Ausgangssignal des Flipflops (2) erfolgt und daß im Ausgangsbereich (17, 18) der Taktweiche (1) eine Gatterschaltung zur ODER-Verknüpfung der Ausgangssignale der im Eingangsbereich (15, 16) der Taktweiche (1) angeordneten Gatterschaltung vorgesehen ist.

15

20

7. Schaltungsanordnung nach Anspruch 6, dadurch gekennzeichnet, daß die Gatterschaltung im Eingangsbereich (15, 16) der Taktweiche (1) so ausgebildet ist, daß die der Taktweiche (1) zugeführten Taktsignale vor ihrer UND-Verknüpfung mit dem Ausgangssignal bzw. dem invertierten Ausgangssignal des Flipflops (2) invertiert werden und daß die zur ODER-Verknüpfung im Ausgangsbereich (17, 18) der Taktweiche (1) vorgesehene Gatterschaltung als ein NOR-Gatter (17) mit nachgeschaltetem Inverter (18) ausgebildet ist.

25

30

8. Schaltungsanordnung nach einem der Ansprüche 4 bis 7, dadurch gekennzeichnet, daß zum beschleunigten Zurückschalten auf das den DSP (50) ursprünglich taktende

erste Taktsignal der RESET-Eingang (23) des Flipflops (2) mit dessen D-Eingang (21) verbunden ist, wobei, für den Fall, daß der ein RESET des Flipflops (2) auslösende Pegel entgegengesetzt zu demjenigen Ausgangspegel des Flipflops (2) ist, durch welchen das vorübergehende Umschalten auf den zweiten Takt erfolgt, in der Verbindung des D-Eingangs (21) und des RESET-Eingangs (23) ein Inverter (40) angeordnet ist.

Abstract

The invention relates to a method for the line-by-line transfer of analog image signals of a CCD camera into the memory of an electronic unit for image processing. The aim of the invention is to decrease the complexity of the circuit compared to prior art solutions. To this end, the invention provides that, for transferring the image data digitized by a video processor (VIP), the system timing of the digital signal processor (DSP) which processes the data is changed over to the timing of the VIP, and the image data initiated by the DSP is directly transmitted from the VIP into the memory via the data bus. The invention also relates to a circuit which is suited for carrying out said method. The circuit is used to effect the clock pulse supply of the DSP via a clock pulse separating filter which is connected to the output of a flip-flop, whereby the flip-flop is connected, at the clock pulse input thereof, to the output of a gate that AND-links the clock pulse signals of the first and of the second clock pulse supply as well as the image pixel clock pulse of the VIP with one another. An interrupt enabling signal of the processor, said enabling signal initiating the clock pulse change-over, is transmitted to the D-input of the flip-flop.